

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**



PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of: Sung-Kwon LEE, et al.

Serial No.: 10/607,052

Group Art Unit: 2812

Filed: June 27, 2003

Examiner: Not Yet Assigned

Title: METHOD FOR FABRICATING SEMICONDUCTOR DEVICE CAPABLE OF
REDUCING SEAM GENERATIONS

* * * * *

CLAIM FOR PRIORITY
UNDER 35 U.S.C. §119

Honorable Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

September 25, 2003

Sir:

The benefit of the filing date of prior foreign application No. 2002-84097, filed in Korea on December 26, 2002, is hereby requested and the right of priority provided in 35 U.S.C. §119 is hereby claimed.

In support of this claim, filed herewith is a certified copy of said original foreign application.

Respectfully submitted,

By: Yoon S. Ham Signer C. Baly
Yoon S. Ham
Reg. No. 45,307 reg. No. 40,495

JACOBSON HOLMAN, PLLC
The Jenifer Building
400 Seventh Street, N.W.
Washington, D.C. 20004-2201
Telephone: (202) 638-6666

Atty. Docket No.: P68950USO
YSH:dj

BEST AVAILABLE COPY



대한민국 특허청
KOREAN INTELLECTUAL
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0084097
Application Number

출원년월일 : 2002년 12월 26일
Date of Application DEC 26, 2002

출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2003 년 06 월 27 일

특 허 청

COMMISSIONER



BEST AVAILABLE COPY

000048

10132711020020084097

0000032000

방 식 심 사 관	담 당	심 사 관

【서류명】 명세서 등 보정서

【수신처】 특허청장

【제출일자】 2003.03.21

【제출인】

【명칭】 주식회사 하이닉스반도체

【출원인코드】 1-1998-004569-8

【사건과의 관계】 출원인

【대리인】

【명칭】 특허법인 신성

【대리인코드】 9-2000-100004-8

【지정된 변리사】 변리사 정지원, 변리사 원석희, 변리사 박해천

【포괄위임등록번호】 2000-049307-2

【사건의 표시】

【출원번호】 10-2002-0084097

【출원일자】 2002.12.26

【심사청구일자】 2003.03.21

【발명의 명칭】 공극 발생을 최소화할 수 있는 반도체소자 제조방법

【제출원인】

【접수번호】 1-1-02-0429839-34

【접수일자】 2002.12.26

【보정할 서류】 명세서등

【보정할 사항】

【보정대상항목】 별지와 같음

【보정방법】 별지와 같음

【보정내용】 별지와 같음

【추가청구항수】 1

【취지】 특허법시행규칙 제13조·실용신안법시행규칙 제8조의 규정에 의하여 위와 같이 제출합니다.

대리인

특허법인 신성 (인)

【수수료】

【보정료】

0 원

【추가심사청구료】

32,000 원

【기타 수수료】

0 원

【합계】

32,000 원

【첨부서류】 1. 보정내용을 증명하는 서류[발명의 상세한 설명, 특허청구범위 보정]_1
통

【보정대상 항목】 요약

【보정방법】 정정

【보정내용】

본 발명은 플러그 물질 증착시 우수한 단차피복성을 확보하여 공극에 의한 심 발생을 억제하기에 적합한 반도체소자 제조방법을 제공하기 위한 것으로, 이를 위해 본 발명은, 기판 상에 이웃하는 다수의 도전패턴을 형성하는 단계; 상기 도전패턴이 형성된 프로파일을 따라 식각정지막과 그 전면에 절연막을 차례로 형성하는 단계; 상기 절연막을 선택적으로 식각하여 상기 도전패턴 사이의 상기 식각정지막을 노출시키는 콘택홀을 형성하는 단계; 상기 도전패턴 상부의 상기 절연막 상에 오버행 구조의 캡핑층을 형성하는 단계; 비활성 가스를 이용하여 상기 캡핑층 측벽을 열화시키는 단계; 습식 세정을 실시하여 상기 콘택홀의 개구부를 확장함과 동시에 상기 열화된 캡핑층 측벽을 제거하는 단계; 상기 도전패턴 사이의 식각정지막을 제거하여 상기 기판을 노출시키는 단계; 및 상기 노출된 기판 표면에 콘택된 플러그를 형성하는 단계를 포함하는 반도체소자 제조방법을 제공한다.

【보정대상 항목】 식별번호 12

【보정방법】 정정

【보정내용】

본 발명은 반도체소자의 제조방법에 관한 것으로 특히, 플러그를 형성하기 위한 증착 공정에서 콘택홀이 형성된 하부 구조의 취약한 토폴로지(Topology)로 인해 발생

되는 폴리실리콘 등의 전도성 물질의 열악한 단차피복성(Stepcoverage)에 의한
심(Seam) 또는 공극(Void) 등의 발생을 방지할 수 있는 반도체소자 제조방법에 관
한 것이다.

【보정대상 항목】 식별번호 13

【보정방법】 정정

【보정내용】

반도체 소자의 집적도가 증가함에 따라 미세 패턴의 제조가 매우 중요하게 되었다.

특히, 포토레지스트를 이용한 패턴 형성 공정 자체의 마진과 오버레이의

정확도(Overlay accuracy)를 안정적으로 확보하기 위해 도입된 SAC(Self Align

Contact) 공정은 패턴 형성을 함에 있어서 별도의 마스크를 사용하지 않고 이미 증

착된 물질을 이용하여 식각을 하는 방식이다.

SAC 공정은 비용 감소에 큰 역할을 하는 것으로, 여러가지 방법을 사용하고
있으나 대표적인 방법으로는 질화막을 식각방지막으로 사용하는 방식이다.

예컨대, 반도체 소자를 구성하는 일련의 하지 구조 상에 게이트전극 형성을
포함한 일련의 공정을 진행한 다음에, 증간절연막을 증착하고 포토레지스트 패턴을
형성한 다음, 포토레지스트 패턴을 식각마스크로 사용하여 증간절연막을 식각하여
게이트전극 사이의 기판 내의 활성층을 오픈시킨다. 이 때, 산화막 계열의 증간절
연막과 게이트전극 상부의 식각방지막인 질화막과의 식각선택비 차에 의해 경사를
갖는 콘택홀을 형성하는 것이다.

【보정대상 항목】 식별번호 14

【보정방법】 정정

【보정내용】

이렇게 콘택홀을 형성하는 과정에서, 고집적화를 위한 수직적 소자 배열에 의해 발생하는 식각타겟의 증가로 인하여 과도한 식각공정에서의 게이트전극 및 하드마스크의 손실을 방지하기 위해 스페이서와 캡층 등을 추가적으로 형성하고 있다.

【보정대상 항목】 식별번호 19

【보정방법】 정정

【보정내용】

먼저, 도 2a에 도시된 바와 같이, 기판(SUB) 상에 소자분리막(10)을 형성한 다음, 산화막계열의 게이트절연막(11a)과 폴리실리콘, 텅스텐 또는 텅스텐 실리사이드 등을 단독 또는 혼합하여 게이트전극용 전도막(11b)과 실리콘질화막 또는 실리콘산화질화막 등의 질화막 계열을 이용하여 적당한 두께로 하드마스크(11c)를 차례로 증착한 후, 게이트전극 마스크를 이용한 사진식각 공정을 실시하여 게이트전극(11)을 형성한다.

【보정대상 항목】 식별번호 21

【보정방법】 정정

【보정내용】

계속해서, 게이트전극(11) 사이의 스페이스를 충분히 채울 수 있을 정도로 절연막(14)을 형성한다.

절연막(14)은 고온산화막(HTO), APL(Advanced Planalization Layer) 산화막, SOD(Spin On Dielectric), SOG(Spin On Glass), TEOS(Tetra Ethyl Ortho Silicate), BPSG(Boro Phospho Silicate Glass), PSG(Phospho Silicate Glass) 또는 BSG(Boro Silicate Glass) 등의 막 평탄화 특성이 우수한 물질을 사용하며, 2000 Å ~ 10000 Å의 두께로 형성하는 것이 바람직하다.

【보정대상 항목】 식별번호 27

【보정방법】 정정

【보정내용】

한편, 전술한 제1 내지 제3 식각가스를 각각 혼합하여 사용할 수 있으며, 제1식각 가스에 원도우가 넓은 식각 공정을 확보하기 위해 $CxHyFz(x, y, z \geq 2)$ 를 혼합하여 사용할 수 있다.

【보정대상 항목】 식별번호 29

【보정방법】 정정

【보정내용】

여기서, 캡핑층(14)은 후속 기판(SUB) 표면 노출을 위한 식각정지막(11d) 제거 공

정시 하드마스크(11c)의 손실을 방지하기 위한 것이다.

하지만, 후속 공정인 습식 세정으로 콘택 개구부를 확장한 후, 전면식각으로 기관(SUB) 표면을 오픈시킨 다음, 플러그용 전도성 물질을 증착할 경우에 전술한 캡핑층(14)으로 인해 캡-필 특성이 열화되어 공극 및 심 발생이 유발된다.

【보정대상 항목】 식별번호 30

【보정방법】 정정

【보정내용】

이는 전술한 바와 같은 패턴 사이즈의 감소와 수직 단차의 증가에 따른 캡핑층(14)과 식각정지막(11d) 등의 도입 및 콘택 개구부 확장을 위한 습식 식각 공정 등의 플러그 물질을 증착하기 전 단계까지 완료된 프로파일이 활처럼 휜 형상인 보잉 프로파일(Bowing profile)로부터 기인된 것이다. 캡핑층(14)으로 통상적으로 사용되는 USG막이 층간절연막으로 사용되는 BPSG(Boro Phospho Silicate Glass)막에 비해 습식 식각 속도가 낮음으로써 발생하며, 특히 콘택 개구부를 확장하기 위한 습식 세정시간을 증가시킬수록 보잉 프로파일은 더욱 심하게 나타난다.

【보정대상 항목】 식별번호 36

【보정방법】 정정

【보정내용】

도 4를 참조하면, 전술한 공극과 심의 발생은 절연막의 언더컷에 의한 네가티브 경

사(Negative slope, Y)에 기인하는 것임을 알 수 있다. 이로 인해 후속 공정에서 플러그 격리(Isolation) 후 이러한 취약 지역에 플러그 심이 발생한다.

【보정대상 항목】 식별번호 37.

【보정방법】 정정

【보정내용】

전술한 플러그 심은 소자의 누설전류의 증가 등 소자의 특성을 열화시키는 주원인으로 작용한다.

【보정대상 항목】 식별번호 39

【보정방법】 정정

【보정내용】

상기의 목적을 달성하기 위해 본 발명은, 기판 상에 이웃하는 다수의 도전패턴을 형성하는 단계; 상기 도전패턴이 형성된 프로파일을 따라 식각정지막과 그 전면에 절연막을 차례로 형성하는 단계; 상기 절연막을 선택적으로 식각하여 상기 도전패턴 사이의 상기 식각정지막을 노출시키는 콘택홀을 형성하는 단계; 상기 도전패턴 상부의 상기 절연막 상에 오버행 구조의 캡핑층을 형성하는 단계; 비활성 가스를 이용하여 상기 캡핑층 측벽을 열화시키는 단계; 습식 세정을 실시하여 상기 콘택홀의 개구부를 확장함과 동시에 상기 열화된 캡핑층 측벽을 제거하는 단계; 상기 도전패턴 사이의 식각정지막을 제거하여 상기 기판을 노출시키는 단계; 및 상기 노출

된 기관 표면에 콘택된 플러그를 형성하는 단계를 포함하는 반도체소자 제조방법을 제공한다.

【보정대상 항목】 식별번호 40

【보정방법】 정정

【보정내용】

본 발명은 게이트전극 등의 도전패턴 상부에 단차피복성이 불량한 캡핑층을 증착하고 비활성 가스를 사용한 플라즈마 식각 또는 이온주입으로 캡핑층의 측벽을 열화시킨 후, 콘택 개구부의 확장을 위한 습식 세정 단계에서 열화된 캡핑층이 손실되도록 유발함으로써, 보잉 프로파일을 방지하고 콘택 개구부를 확장한 다음 전면 식각을 통해 하부 기관과 노출시킨 다음, 플러그 물질을 증착한다.

【보정대상 항목】 식별번호 41

【보정방법】 정정

【보정내용】

즉, 플러그 증착 전에 플러그가 증착될 하부의 프로파일을 개선함으로써, 플러그 형성시 캡-필 특성을 향상시켜 공극과 플러그 심 발생을 방지할 수 있도록 한다.

【보정대상 항목】 식별번호 45

【보정방법】 정정

【보정내용】

먼저, 도 5a에 도시된 바와 같이, 도 2b의 콘택홀(12)이 형성된 전체 구조에서 게이트전극 패턴 상단부에 위치한 캡핑층(14)의 측벽을 도면부호 '17'과 같이 비활성 가스를 이용하여 열화시킨다.

【보정대상 항목】 식별번호 46

【보정방법】 정정

【보정내용】

이 때, 비활성 가스로는 He, Ne, Ar, Kr 또는 Xe 등을 사용하며, 비활성 가스를 이용하여 캡핑층(14) 측벽에 이온주입하거나 플라즈마 식각하는 방식을 사용한다.

따라서, 열화된 캡핑층의 측벽(17) 부위는 후속 습식세정 공정에서 쉽게 제거 된다.

【보정대상 항목】 식별번호 47

【보정방법】 정정

【보정내용】

이어서, 콘택홀(12)의 개구부를 넓히기 위해 묽은 불산계 케미컬을 이용하여 습식 세정을 실시한다. 이 때, 열화된 캡핑층의 측벽(17) 부위는 제거된다. 도 5b는 캡핑층(14)의 측벽이 세정 공정에 의해 제거된 공정 단면을 나타낸다.

【보정대상 항목】 식별번호 49

【보정방법】 정정

【보정내용】

따라서, 캡핑층(14)의 네거티브 프로파일은 개선되며, 후속 플러그용 전도막 증착 시 공극 발생을 억제할 수 있다.

【보정대상 항목】 식별번호 50

【보정방법】 정정

【보정내용】

이어서, 전면식각을 실시하여 콘택홀(12) 저면의 식각정지막(11d)을 제거하며, 이 때 게이트전극 패턴(10) 양측벽에 스페이서 형태로 남는다.

【보정대상 항목】 식별번호 52

【보정방법】 정정

【보정내용】

계속해서, 캡핑층(14)의 상부 표면이 노출될 때까지 CMP 또는 전면식각 공정으로 전도막을 평탄화 식각한다. CMP 공정으로 식각 하는 경우, 통상의 폴리실리콘 또는 텅스텐 식각용 슬러리를 사용한다.

【보정대상 항목】 식별번호 53

【보정방법】 정정

【보정내용】

이어서, 하드마스크(11c)의 상부 표면이 노출될 때까지 캡핑층(14) 및 전도막을 CMP 공정으로 평탄화 식각하면 도 5c에 도시된 바와 같이, 플러그(18)가 서로 전기적으로 분리된다. 캡핑층(14) 및 전도막에 대한 CMP 공정은 통상의 산화막 식각용 슬러리를 사용하여 수행된다.

【보정대상 항목】 식별번호 54

【보정방법】 정정

【보정내용】

전술한 바와 같이 본 발명은, 고집적화에 따라 필연적으로 문제시되는 플러그 형성시의 갭-필 문제를 해결하기 위해 비활성 가스를 이용하여 캡핑층의 측벽을 열화시킨 후, 개구부 확장을 위한 세정공정에서 열화된 캡핑층 측벽을 제거하여 도전패턴을 포함하는 프로파일을 개선시켜 후속 플러그 물질 증착시 갭-필 특성을 향상시킬 수 있어, 공극의 발생을 억제할 수 있고 이로 인해 플러그 내의 심 발생을 억제하여 반도체소자의 결함 발생을 감소시킬 수 있음을 실시예를 통해 알아 보았다.

【보정대상 항목】 청구항 1

【보정방법】 정정

【보정내용】

기판 상에 이웃하는 다수의 도전패턴을 형성하는 단계;

상기 도전패턴이 형성된 프로파일을 따라 식각정지막과 그 전면에 절연막을 차례로 형성하는 단계;

상기 절연막을 선택적으로 식각하여 상기 도전패턴 사이의 상기 식각정지막을 노출시키는 콘택홀을 형성하는 단계;

상기 도전패턴 상부의 상기 절연막 상에 오버행 구조의 캡핑층을 형성하는 단계;

비활성 가스를 이용하여 상기 캡핑층 측벽을 열화시키는 단계;

습식 세정을 실시하여 상기 콘택홀의 개구부를 확장함과 동시에 상기 열화된 캡핑층 측벽을 제거하는 단계;

상기 도전패턴 사이의 식각정지막을 제거하여 상기 기판을 노출시키는 단계;
및

상기 노출된 기판 표면에 콘택된 플러그를 형성하는 단계
를 포함하는 반도체소자 제조방법.

【보정대상 항목】 청구항 6

【보정방법】 추가

【보정내용】

제 1 항에 있어서,

상기 도전패턴은,

게이트전극 패턴, 비트라인 패턴 또는 금속배선을 포함하는 것을 특징으로
하는 반도체소자 제조방법.

【서지사항】

【서류명】 특허출원서
 【권리구분】 특허
 【수신처】 특허청장
 【참조번호】 0020
 【제출일자】 2002. 12. 26
 【발명의 명칭】 공극 발생을 최소화할 수 있는 반도체소자 제조방법
 【발명의 영문명칭】 METHOD FOR FABRICATING SEMICONDUCTOR DEVICE WITH IMPROVED PROTECTION OF VOID

【출원인】

【명칭】 주식회사 하이닉스반도체
 【출원인코드】 1-1998-004569-8

【대리인】

【명칭】 특허법인 신성
 【대리인코드】 9-2000-100004-8
 【지정된변리사】 변리사 정지원, 변리사 원석희, 변리사 박해천
 【포괄위임등록번호】 2000-049307-2

【발명자】

【성명의 국문표기】 이성권
 【성명의 영문표기】 LEE, Sung Kwon
 【주민등록번호】 640301-1268621
 【우편번호】 467-860
 【주소】 경기도 이천시 부발읍 현대7차아파트 706-1401
 【국적】 KR

【발명자】

【성명의 국문표기】 이민석
 【성명의 영문표기】 LEE, Min Suk
 【주민등록번호】 720815-1009119
 【우편번호】 463-010
 【주소】 경기도 성남시 분당구 정자동 121 삼록우성아파트 305-1302
 【국적】 KR

20020084097

출력 일자: 2003/6/27

【취지】

특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대
리인
성 (인) 특허법인 신

【수수료】

【기본출원료】

18 면 29,000 원

【가산출원료】

0 면 0 원

【우선권주장료】

0 건 0 원

【심사청구료】

0 항 0 원

【합계】

29,000 원

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】

【요약】

본 발명은 플러그 물질 증착시 우수한 단차피복성을 확보하여 공극에 의한 심 발생을 억제하기에 적합한 반도체소자 제조방법을 제공하기 위한 것으로, 이를 위해 본 발명은, 기판 상에 이웃하는 다수의 도전패턴을 형성하는 단계; 상기 도전패턴이 형성된 프토퍼필을 따라 식각정지막과 그 전면에 절연막을 차례로 형성하는 단계; 상기 절연막을 선택적으로 식각하여 상기 도전패턴 사이의 상기 식각정지막을 노출시키는 콘택홀을 형성하는 단계; 상기 게이트전극 상부의 상기 절연막 상에 오버행 구조의 캡핑층을 형성하는 단계; 비활성 가스를 이용하여 상기 캡핑층 측벽을 열화시키는 단계; 상기 콘택홀의 개구부를 확장하기 위해 습식 세정을 실시하며, 이 때 상기 열화된 캡핑층 측벽을 제거하는 단계; 상기 도전패턴 사이의 식각정지막을 제거하여 상기 기판을 노출시키는 단계; 및 상기 노출된 기판 표면에 콘택된 플러그를 형성하는 단계를 포함하는 반도체소자 제조방법을 제공한다.

【대표도】

도 5a

【색인어】

심(Seam), SAC, 게이트전극, 플러그, 공극(Void).

【명세서】

【발명의 명칭】

공극 발생을 최소화할 수 있는 반도체소자 제조방법 {METHOD FOR FABRICATING SEMICONDUCTOR DEVICE WITH IMPROVED PROTECTION OF VOID}

【도면의 간단한 설명】

도 1은 플러그 형성을 위한 SAC 공정이 완료된 반도체소자를 도시한 평면도.

도 2a와 도 2b는 도 1을 각각 A-A' 및 B-B' 방향으로 절단한 종래기술에 따른 반도체소자의 공정 단면도.

도 3은 플러그용 전도성 물질 증착 및 전면식각 후의 공정 평면을 도시한 SEM 사진.

도 4는 플러그 형성을 위한 콘택홀 형성 후의 공정 단면을 도시한 SEM 사진.

도 5a 내지 도 5c는 본 발명의 일실시예에 따른 반도체소자 제조 공정을 도시한 단면도.

* 도면의 주요부분에 대한 부호의 설명 *

SUB : 기판 10 : 소자분리막

11 : 게이트전극 11a : 게이트절연막

11b : 게이트전극용 전도막 11c : 하드마스크

11d : 스페이서 13 : 절연막

14 : 캡핑층 17 : 열화된 캡핑층 측벽

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<12> 본 발명은 반도체소자의 제조방법에 관한 것으로 특히, 폴리실리콘 등의 플러그를 형성하기 위한 증착 공정에서 취약한 토폴로지(Topology)에 의해 단차피복성(Stepcoverage)의 악화에 기인한 심(Seam) 또는 공극(Void) 등의 발생을 방지할 수 있는 반도체소자 제조방법에 관한 것이다.

<13> 반도체 소자의 집적도가 증가함에 따라 미세 패턴의 제조가 매우 중요하게 되었다. 특히, 포토레지스트를 이용한 패턴 형성 공정 자체의 마진과 오버레이의 정확도(Overlay accuracy)를 안정적으로 확보하기 위해 도입된 SAC(Self Align Contact) 공정은 패턴 형성을 함에 있어서 별도의 마스크를 사용하지 않고 이미 증착된 물질을 이용하여 식각을 하는 방식으로 비용 감소에 큰 역할을 하는 것으로, SAC 공정 자체는 여러가지 방법을 사용하고 있으나 대표적인 방법으로는 질화막을 식각방지막으로 사용한다. 예컨대, 반도체 소자를 구성하는 일련의 하지 구조 상에 게이트전극 형성을 포함한 일련의 공정을 진행한 다음에, 증간절연막을 증착하고 포토레지스트 패턴을 형성한 다음, 포토레지스트 패턴을 식각마스크로 사용하여 증간절연막을 식각하여 게이트전극 사이의 기판내의 활성층을 오픈시킬 때, 산화막 계열의 증간절연막과 게이트전극 상부의 식각방지막인 질화막과의 식각선택비 차에 의해 경사를 갖는 콘택홀을 형성하는 것이다.

이렇게 콘택홀을 형성하는 과정에서, 고집적화를 위한 수직적 소자 배열에 의해 식각타겟의 증가로 인하여 과도한 식각공정에서의 게이트전극 및 하드마스크의 손실을 방지하기 위해 스페이서와 캡핑층 등을 추가적으로 형성하고 있다.

- <15> 도 1은 플러그 형성을 위한 SAC 공정이 완료된 반도체소자를 도시한 평면도이다.
- <16> 도 1을 참조하면, 활성층을 포함하는 기판(SUB)에 소자분리막(10)이 국부적으로 배치되어 있으며, 소자분리막(10)과 교차되는 방향으로 게이트전극(11)이 다수 배치되어 있다.
- <17> 여기서, 도면부호 '12'는 플러그 형성을 위해 오픈되는 영역 즉, 콘택홀을 나타낸다
- <18> 도 2a와 도 2b는 도 1을 각각 A-A' 및 B-B' 방향으로 절단한 종래기술에 따른 반도체소자의 공정 단면도인 바, 이하 도 2a와 도 2b를 참조하여 종래기술에 따른 반도체소자 제조 공정을 살펴본다.
- <19> 먼저, 도 2a에 도시된 바와 같이, 기판(SUB) 상에 소자분리막(10)을 형성한 다음, 산화막계열의 게이트절연막(11a)과 폴리실리콘, 텅스텐 또는 텅스텐 실리사이드 등을 단독 또는 혼합하여 게이트전극용 전도막(11b)과 실리콘질화막 또는 실리콘산화질화막 등을 이용하여 적당한 두께로 하드마스크(11c)를 차례로 증착한 후, 게이트전극 마스크를 이용한 사진식각 공정을 실시하여 게이트전극(11)을 형성한다.
- <20> 이어서, 게이트전극(11) 측벽에 실리콘질화막 또는 실리콘산화질화막을 이용하여 식각정지막(11d)을 형성한다.

계속해서, 게이트전극(11) 사이의 스페이스를 충분히 채울 수 있을 정도로 절연막(14)을 형성하는 바, 이 때 고온산화막(HTO), APL(Advanced Planalization Layer) 산화막, SOD(Spin On Dielectric), SOG(Spin On Glass), TEOS(Tetra Ethyl Ortho Silicate), BPSG(Boro Phospho Silicate Glass), PSG(Phospho Silicate Glass) 또는 BSG(Boro Silicate Glass) 등의 막 평탄화 특성이 우수한 물질을 사용하여 예컨대, 2000 Å ~ 10000 Å의 두께로 형성한다.

<2> 이 때, 절연막(14)은 하드마스크(11c) 상부에서 0 Å ~ 1000 Å의 두께가 되도록 증착 또는 증착/평탄화 공정을 실시하는 것이 바람직하다.

<3> 이어서, 비트라인 또는 스트리치노드 등의 콘택을 위한 콘택홀(12)을 형성하는 바, 콘택 형성을 위한 포토레지스트 패턴(도시하지 않음)을 형성한 다음, 통상적인 SAC 공정을 통해 게이트전극(11) 사이의 기판(SUB) 상부 예컨대, 불순물확산영역 상부를 오픈시킨다.

<4> 구체적으로, BPSG 등의 절연막(13) 식각시 하부의 질화막 계열의 물질 즉, 하드마스크(11c)와 식각정지막(11d), 과의 고선택비를 갖도록 제1식각가스로 C_3F_8 , C_4F_8 , C_5F_8 , C_4F_6 또는 C_2F_4 등의 다량의 폴리머를 유발하는 과탄소 함유가스를 사용한다.

<5> 또한, 전술한 고선택비에 식각 공정 윈도우(Window)를 증가시켜 제현성 있는 식각 공정을 확보하기 위한 제2식각가스로 CHF_3 , C_2HF_5 , CH_2F_2 , CH_3F , CH_2 , CH_4 , C_2H_4 또는 H_2 등을 사용할 수 있다.

<6> 또한, 플라즈마 안정 및 스퍼터링 효과를 증가시켜 식각 멈춤 등을 개선시키기 위한 제3식각가스로 He, Ne, Ar, Kr 또는 Xe 등의 불활성가스를 사용할 수 있다.

한편, 전술한 제1 내지 제3 식각가스를 각각 혼합하여 사용할 수 있으며, 제1식각 가스에 원도우가 넓은 식각 공정을 확보하기 위해 $C_xHyF_z(x, y, z \geq 2)$ 를 혼합하여 사용할 수 있다.

<28> 이어서, 도 2b에 도시된 바와 같이, USG 등의 단차피복성이 비교적 떨어지는 절연물질을 증착하여 게이트전극(11) 상부에 오버-행(Over-hang) 구조의 캡핑층(14)을 형성한다.

<29> 여기서, 캡핑층(14)은 후속 기판(SUB) 표면 노출을 위한 식각정지막(11d) 제거 공정시 하드마스크(11c)의 손실을 방지하기 위한 것이다. 하지만, 이러한 캡핑층(14)으로 인해 습식 세정으로 콘택 개구부를 확장한 다음에 전면식각으로 기판(SUB) 표면을 오픈시킨 다음에, 플러그용 전도성 물질을 증착할 경우에 공극이 발생하고 이로 인해 심발생이 유발된다.

<30> 이는 전술한 바와 같은 패턴 사이즈의 감소와 수직 단차의 증가에 따른 캡핑층(14)과 식각정지막(11d) 등의 도입 및 콘택 개구부 확장을 위한 습식 식각 공정 등에 의해 플러그 물질을 증착하기 전 단계까지 완료된 프로파일이 활처럼 된 형상인 보잉 프로파일(Bowing profile)로부터 기인된 것이다. 캡핑층(14)으로 통상적으로 사용되는 USG막이 층간절연막으로 사용되는 BPSG(Boro Phospho Silicate Glass)막에 비해 습식 식각 속도가 낮음으로써 발생하며, 특히 콘택 개구부를 확장하기 위한 습식 세정시간을 증가시킬수록 보잉 프로파일은 더욱 심하게 나타난다.

<31> 캡핑층(14)은 전술한 USG막 이외에 피복특성이 열악한 PE-TEOS(Plasma Enhanced-Tetra Ethyl Ortho Silicate)막을 이용할 수 있으며, 이를 통해 캡핑층(14)은 전체 프로파일 상에서 오버-행 구조가 된다.

도 3은 플러그용 전도성 물질 증착 및 전면식각 후의 공정 평면을 도시한 SEM 사진이다.

<3> 도 3을 참조하면, 스토리지노드콘택 플러그(SNC) 및 비트라인콘택 플러그(BLC)가 형성되어 있으며, 이러한 플러그들 중에 공극(X)이 발생됨을 알 수 있다.

<3> 이러한 공극의 발생은 전술한 SAC 식각 후 게이트 하드마스크와 절연막의 증착에 따라 형성된 프로파일 상의 문제에 기인하는 것으로 볼 수 있다.

<5> 도 4는 플러그 형성을 위한 콘택홀 형성 후의 공정 단면을 도시한 SEM 사진이다.

<6> 도 4를 참조하면, 전술한 공극과 심의 발생은 절연막의 언더컷에 의한 네가티브 경사(Negative slope, Y)에 기인하는 것임을 알 수 있다. 이로 인해 후속 공정에서 플러그 격리(Isolation) 후 이러한 취약 지역에 심(X)이 발생한다.

<7> 전술한 심은 소자의 누설전류의 증가 등 소자의 특성을 열화시키는 주원인으로 작용한다.

【발명이 이루고자 하는 기술적 과제】

<8> 본 발명은 상기한 종래기술의 문제점을 해결하기 위해 제안된 것으로서, 플러그 물질 증착시 우수한 단차피복성을 확보하여 공극에 의한 심 발생을 억제하기에 적합한 반도체소자 제조방법을 제공하는데 그 목적이 있다.

【발명의 구성 및 작용】

<39> 상기의 목적을 달성하기 위해 본 발명은, 기판 상에 이웃하는 다수의 도전패턴을 형성하는 단계; 상기 도전패턴이 형성된 프로파일을 따라 식각정지막과 그 전면에 절연막을 차례로 형성하는 단계; 상기 절연막을 선택적으로 식각하여 상기 도전패턴 사이의 상기 식각정지막을 노출시키는 콘택홀을 형성하는 단계; 상기 게이트전극 상부의 상기 절연막 상에 오버행 구조의 캡층을 형성하는 단계; 비활성 가스를 이용하여 상기 캡층 측벽을 열화시키는 단계; 상기 콘택홀의 개구부를 확장하기 위해 습식 세정을 실시하며, 이 때 상기 열화된 캡층 측벽을 제거하는 단계; 상기 도전패턴 사이의 식각정지막을 제거하여 상기 기판을 노출시키는 단계; 및 상기 노출된 기판 표면에 콘택된 플러그를 형성하는 단계를 포함하는 반도체소자 제조방법을 제공한다.

<40> 본 발명은 게이트전극 패턴 상부에 단차피복성이 불량한 캡층 산화막층을 증착하고 비활성 가스를 사용한 플라즈마 식각 또는 이온주입으로 캡층 산화막층의 측벽을 열화시킨 후, 콘택 개구부의 확장을 위한 습식 세정 단계에서 게이트전극 패턴 상단부의 캡층 산화막층 습식 세정 단계에서 손실되도록 유발함으로써, 보형 프로파일을 방지하고 콘택 개구부를 확장한 다음 전면 식각을 통해 하지 기판과 통전한다.

<41> 따라서, 플러그 증착 전에 그 프로파일을 개선하고 플러그 형성에 따른 공극의 발생을 방지한다.

이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부한 도면을 참조하여 상세하게 설명한다.

<43> 도 5a 내지 도 5c는 본 발명의 일실시예에 따른 반도체소자 제조 공정을 도시한 단면도이다.

<44> 먼저, 본 발명의 반도체소자 제조 공정은 전술한 종래기술에서 제시한 바와 동일한 부분을 포함하고 있는 바, 도 1과 도 2a 및 도 2b의 공정까지는 동일하게 진행한다. 따라서, 도 2b 까지의 공정은 설명의 간략화를 위해 생략하고 동일한 구성요소에 대해서는 동일부호를 사용한다. 또한, 이후의 공정을 도시한 도 5a 내지 도 5c를 참조하여 상세히 후술한다.

<45> 먼저, 도 5a에 도시된 바와 같이, 도 2b와 같이 콘택홀(12)이 형성된 전체 구조에서 게이트전극 패턴 상단부에 위치한 캡핑층(14)의 측벽을 도면부호 '17'과 같이 열화시킨다.

<46> 이 때, 비활성 가스는 He, Ne, Ar, Kr 또는 Xe 등이며, 이러한 비활성 가스를 이용하여 캡핑층(14) 측벽에 이온주입하거나 플라즈마 식각하는 방식을 사용한다.

<47> 이어서, 콘택홀(12)의 개구부를 넓히기 위해 묶은 불산계 케미컬을 이용하여 습식 세정을 실시한다. 이 때, 열화된 캡핑층의 측벽(17)은 제거된다. 도 5b는 이렇게 캡핑층(14)의 측벽이 세정 공정에 의해 제거된 공정 단면을 나타낸다.

이 때, 세정용 케미컬은 암모니아수(NH_4OH)와 불산(HF)의 비율이 50:1 ~ 500:1인 완충산화막식각제(Buffered Oxide Etchant: 이하 BOE라 함)나, 물과 불산의 비율이 50:1 ~ 500:1인 묽은 불산을 사용하는 것이 바람직하다.

<49> 따라서, 캡핑층(14)의 네거티브 프로파일은 개선되며, 후속 플러그용 전도막 증착 시 공공 형성을 방지할 수 있다.

<50> 이어서, 콘택홀(12) 저면의 식각정지막(11d)을 제거하며, 이 때 게이트전극 패턴 (10) 양측벽에 스페이서 형태로 남는다. 이 때는 주로 전면식각을 이용한다.

<51> 이어서, 콘택홀(12)이 완전히 채워질 때까지 전면에 플러그용 전도막 예를 들어, 폴리실리콘막 또는 텅스텐막을 증착한다. 전도막은 3000Å ~ 7000Å의 두께로 증착하는 것이 바람직하다.

<52> 캡핑층(14)의 상부 표면이 노출될 때까지 CMP 또는 전면식각 공정으로 전도막을 평탄화 식각한다. 전도막을 CMP 공정으로 식각 하는 경우, 통상의 폴리실리콘 또는 텅스텐 식각용 슬러리를 사용한다.

<53> 다음, 하드마스크(11c)의 상부 표면이 노출될 때까지 캡핑층(14) 및 전도막을 CMP 공정으로 평탄화 식각 하면 도 5c에 도시된 바와 같이, 플러그(18)가 서로 전기적으로 분리된다. 캡핑층(14) 및 전도막에 대한 CMP 공정은 통상의 산화막 식각용 슬러리를 사용하여 수행된다.

<54> 전술한 바와 같이 본 발명은, 고집적화에 따라 필연적으로 문제시되는 플러그 형성 시의 캡-필 문제를 해결하기 위해 종래의 스페이서용 절연막의 형성을 2단계로 나누되

그 전체 두께는 거의 동일하게 하여 콘택영역을 감소시키지 않으며, 이 때 두번째로 증착하는 스페이서용 절연막을 전면식각시 일종의 마스크층으로 이용하면서 상부의 프로파일을 변화시켜 겹-필 특성을 향상시킬 수 있어, 공극의 발생을 억제할 수 있고 이로 인해 플러그 내의 심 발생을 억제하여 반도체소자의 결함 발생을 감소시킬 수 있음을 실시예를 통해 알아 보았다.

<55> 본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위 내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.

<56> 예컨대, 전술한 본 발명의 실시예에서는 게이트전극 패턴 사이에 플러그를 형성하는 것을 그 일례로 하였으나, 게이트전극 패턴 이외에 비트라인 또는 금속배선 등의 모든 전도성 패턴에 적용이 응용 가능하다.

【발명의 효과】

<57> 상술한 바와 같은 본 발명은, 플러그 형성시 공극의 발생을 억제함으로써, 궁극적으로 반도체소자의 수율을 향상시킬 수 있는 탁월한 효과를 기대할 수 있다.

【특허청구범위】

【청구항 1】

기판 상에 이웃하는 다수의 도전패턴을 형성하는 단계;

상기 도전패턴이 형성된 프로파일을 따라 식각정지막과 그 전면에 절연막을 차례로 형성하는 단계;

상기 절연막을 선택적으로 식각하여 상기 도전패턴 사이의 상기 식각정지막을 노출시키는 콘택홀을 형성하는 단계;

상기 게이트전극 상부의 상기 절연막 상에 오버행 구조의 캡핑층을 형성하는 단계;

비활성 가스를 이용하여 상기 캡핑층 측벽을 열화시키는 단계;

상기 콘택홀의 개구부를 확장하기 위해 습식 세정을 실시하며, 이 때 상기 열화된 캡핑층 측벽을 제거하는 단계;

상기 도전패턴 사이의 식각정지막을 제거하여 상기 기판을 노출시키는 단계; 및

상기 노출된 기판 표면에 콘택된 플러그를 형성하는 단계

를 포함하는 반도체소자 제조방법.

【청구항 2】

제 1 항에 있어서,

상기 캡핑층 측벽을 열화시키는 단계에서, 상기 비활성 가스를 사용한 플라즈마 식각 방식을 이용하는 것을 특징으로 하는 반도체소자 제조방법.

【청구항 3】

제 1 항에 있어서,

상기 캡핑층 측벽을 열화시키는 단계에서, 상기 비활성 가스를 상기 캡핑층 측벽에 이온주입하는 것을 특징으로 하는 반도체소자 제조방법.

【청구항 4】

제 1 항에 있어서,

상기 식각정지막은 질화막 계열 또는 산화막 계열을 포함하는 것을 특징으로 하는 반도체소자 제조방법.

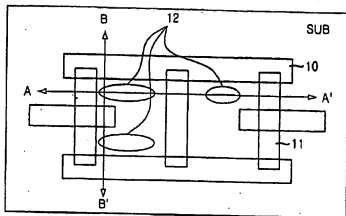
【청구항 5】

제 1 항에 있어서,

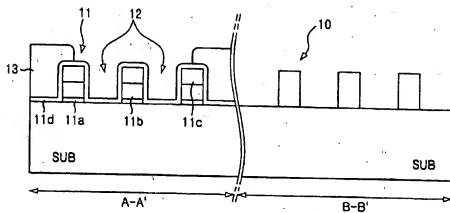
상기 캡핑층은, USG막을 포함하는 것을 특징으로 하는 반도체소자 제조방법.

【도면】

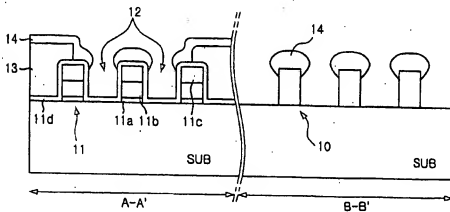
【도 1】



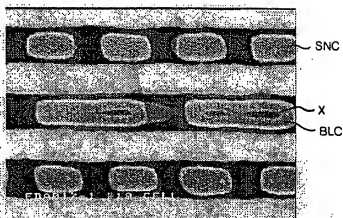
【도 2a】



【도 2b】



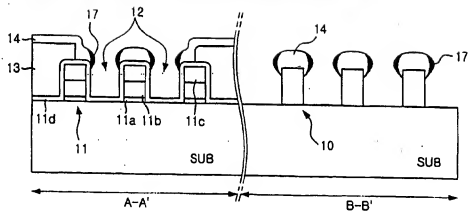
【도 3】



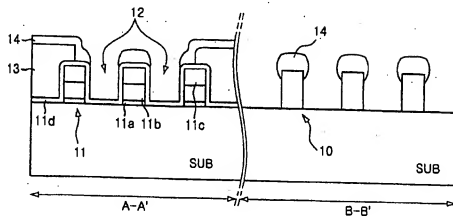
【도 4】



【도 5a】



【도 5b】



【도 5c】

